

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181679  
 (43)Date of publication of application : 12.07.1996

(51)Int.CI. H04J 13/00  
 H04B 7/26  
 H04L 7/00

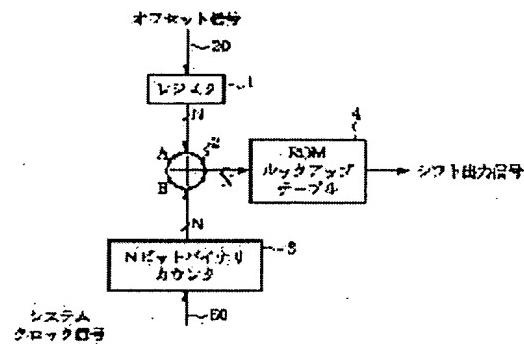
(21)Application number : 06-323001 (71)Applicant : NEC CORP  
 (22)Date of filing : 26.12.1994 (72)Inventor : OO REEGAN SHIIN

## (54) PSEUDO RANDOM NUMBER NOISE GENERATOR

### (57)Abstract:

**PURPOSE:** To attain high arithmetic operation speed by providing a means adding an offset to an address input of a large capacity memory in which bit signals representing a pseudo random number noise series of a prescribed length are stored at random.

**CONSTITUTION:** An offset is decided by an external device and written in a register 1 for the purpose of changing an offset of a  $2^N$  pseudo random number noise series with respect to offset zero. An output of a register 1 is added to an output of  $N$ -bit binary counter 3 in an adder 2, which provides an output. The content of the adder 2 is advanced every time the counter 3 is operated by a clock toward a constant output of the register 1. When a ROM address input is advanced by each leading edge of the system block, a succeeding bit of the pseudo random number noise series is outputted from a ROM lookup table 4 and it is used as a shift output signal.



### LEGAL STATUS

[Date of request for examination] 26.12.1994

[Date of sending the examiner's decision of rejection] 15.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181679

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. 6

H04J 13/00

H04B 7/26

H04L 7/00

識別記号

序内整理番号

F I

技術表示箇所

D

H04J 13/00

A

H04B 7/26

Z

審査請求 有 請求項の数 4 O L (全5頁)

(21) 出願番号

特願平6-323001

(22) 出願日

平成6年(1994)12月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 O'REGAN SEAN

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 井出 直孝

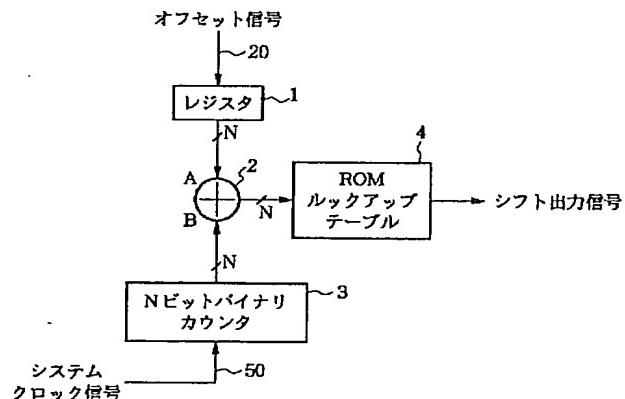
## (54) 【発明の名称】疑似乱数雑音発生装置

## (57) 【要約】

【目的】 系列をシフトするためにマスクを用いずに直接所望のオフセット値を使用する。

【構成】 自走式Nビットバイナリカウンタの積算値とラッチされたオフセット値によりアドレスされる2の幂乗長の疑似乱数雑音系列を擁するROMルックアップテーブルを用いることにより、出力される疑似乱数雑音系列のオフセット調整は、ラッチされたオフセット値を所望値に直接変更することによりなされる。かくして、マスク計算は一切不要となる。

【効果】 演算速度を高速化することができる。回路規模を縮小することができる。



## 【特許請求の範囲】

【請求項1】 所定長の疑似乱数雜音(PN)系列を表すビット信号がそのアドレスにランダムな順序で記録された大型メモリと、このメモリのアドレス入力に周期的なアドレス信号を与えるアドレス発生回路とを備え、実質的に疑似乱数雜音を発生させる疑似乱数雜音発生装置において、

前記アドレス入力にオフセット値を加算する手段を設けたことを特徴とする疑似乱数雜音発生装置。

【請求項2】 前記メモリはそのアドレス入力がNビットのROMである請求項1記載の疑似乱数雜音発生装置。

【請求項3】 前記オフセット値を加算する手段は、オフセット信号を入力としNビットのオフセット値を一時蓄積するレジスタと、このレジスタ出力を前記周期的なアドレス信号に加算する加算回路とを含む請求項2記載の疑似乱数雜音発生装置。

【請求項4】 前記アドレス発生回路はNビットのバイナリカウンタである請求項3記載の疑似乱数雜音発生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はスペクトラム拡散通信システムを利用する。本発明は移動通信方式を利用するに適する。本発明は、スペクトラム拡散通信システムの送信装置または受信装置に必要な疑似乱数雜音(PN)発生装置を利用するに適する。本発明は、きわめて長い周期で循環することにより実質的に乱数状態になっている疑似乱数雜音(PN)に、その周期性を乱すオフセット制御を行うための技術に関する。

【従来の技術】 疑似乱数雜音すなわち疑似乱数雜音の発生装置は、スペクトラム拡散通信方式において、帯域拡散および帯域逆拡散用に用いられる。例えば、QualcommのIS95(北米のCDMAデジタルセルラ)システムは、車載端末受信機内の同期および拡散/逆拡散を促進するため2の幕乗長の疑似乱数雜音系列を必要とする。米国特許第5,228,054号公報に開示されている「高速オフセット調整可能な2の幕乗長疑似乱数雜音系列発生装置」には、2の幕乗長の疑似乱数雜音系列をシフトさせるためのプログラマブル・マスクを使用した上で、出力シフトを伴う2の幕乗長疑似乱数雜音系列を発生する方法が記載されている。

【0002】 このマスクに基づく疑似乱数雜音発生装置は、(系列長が2のN乗-1)の最長線形疑似乱数雜音発生回路と、プログラムされた点で系列中に余分な零を挿入して系列長を2のN乗に増大させる系列伸長回路と、系列の開始点を決定するマスクシフト回路とから構成される。疑似乱数雜音発生装置は、二つの出力を有する。第一の出力は、2のN乗長に零シフトされた疑似乱数雜音系列である。第二の出力は、2のN乗長の同じ疑似乱数雜音系列である。

似乱数雜音系列がマスクシフトされたものである。

【0003】 この従来例を図2を参照して説明する。図2は従来例装置のブロック構成図である。従来例装置は、NビットLSSR(線形系列シフトレジスタ)1、ビット挿入回路12、マスク回路13、訂正回路14により構成される。システムクロック(図示せず)に同期してNビットLSSR11、ビット挿入回路12、訂正回路14は動作する。Nビットマスクバス10は、シフトされた系列出力の量を決定するのに用いられ、原子系列出力からシフトされる。Nビットオフセットバス20は、訂正回路14を制御するのに用いられる。疑似乱数雜音発生装置の出力は、NビットLSSR11内の最終ビット(右シフトLSSRの最右端ビットで帰還用に用いられる)である原始出力と、原始出力から位相シフトされた系列を形成するシフト出力とを含む。原始出力系列とシフト出力系列は、ともに長さが2のN乗である。

【0004】 図2では、NビットLSSR11のNビット状態出力は、ビット挿入回路12とマスク回路13の入力に結合される。ビット挿入回路12の出力(シーケンス・イネーブル信号)は、NビットLSSR11のイネーブル(EN)入力に結合される。マスク回路13の入力は、Nビットの状態出力信号とNビットマスクバス10からのマスク信号である。マスク回路13のシフト出力30は、訂正回路14への一方の入力であり、他方の入力はNビットオフセットバス20からのオフセット信号である。訂正回路14の出力は、シフト出力信号である。

【0005】 系列は、系列内で1列になったN-1個の“0”を含む無反転符号に“0”を付加することにより伸長される。この伸長により、“0”と“1”が同数含まれる系列を生むことになる。よりはつきり言えば、N個の“1”からなる無反転符号を含む系列が、今やN個の“0”からなる無反転符号もまた含むことになる。

【0006】 図2によれば、状態出力バス40のある所定値に対し、ビット挿入回路12は、システムクロックの1周期にわたってシーケンス・イネーブル信号をロウに引っ張ることにより、NビットLSSR11をシフト禁止状態にさせる。かくして、原始出力は2のN乗-1の長さから2のN乗の長さの疑似乱数雜音系列に伸長される。

【0007】 状態出力信号は、マスク信号のマスク値に基づくオフセットにより、マスク回路13内でマスクシフトされる。このマスク回路13は、2のN乗-1の長さの最長疑似乱数雜音系列に対して正確に作用するが、伸長された2のN乗長の疑似乱数雜音系列に対しては後段に訂正回路14が必要である。それゆえ、マスク回路13によりシフトされた疑似乱数雜音系列は、シフト出力30として訂正回路14に入力される。訂正回路14の他方の入力は、訂正タイミングを制御するNビットのオフセット信号である。訂正回路14の出力は、2の

$N$ 乗長の原始出力系列をそっくりシフトさせたシフト出力信号である。原始出力に対するシフトビットの値は、オフセット値に等しい。

【0008】その他の従来例を図3を参照して説明する。図3はその他の従来例装置のブロック構成図である。この従来例は、特開平3-11819号公報および特開平3-11820号公報に開示されているものである。所定長の疑似乱数雑音(PN)系列を表すビット信号がそのアドレスにランダムな順序で記録された大型なメモリ63と、このメモリ63のアドレス入力に周期的なアドレス信号を与えるデータシフト回路61およびアドレスラッチ回路62とを備え、実質的に疑似乱数雑音を発生させていている。

#### 【0009】

【発明が解決しようとする課題】図2に示した従来例装置によれば、例えば、長さが2の $N$ 乗の疑似乱数雑音系列が要求され、また、2の $N$ 乗のいかなる点においても系列が開始できることが必要であるとき、与えられた2の $N$ 乗の系列発生装置のあらゆる可能なオフセットの実現に寄与するためには、2の $N$ 乗のマスクが要求される。

【0010】疑似乱数雑音系列のオフセットの変化を促すためにマスク変化が要求される都度、CPUはマスクを計算する必要がある。このことは、CPUの大きな負担となる。

【0011】また、図3に示した従来例装置によれば、メモリ63に書込まれているデータは変化することではなく一定であり、順次読み出されるその出力は周期的に循環している。したがって、一見すると乱数状態になっているかに見えるが、得られる出力は本質的には周期性を持つたデータの繰り返しである。

【0012】本発明は、このような背景に行われたものであり、系列をシフトさせるためにマスクを用いずに直接所望のオフセット値を使用するプログラム可能なオフセットを伴った2の $N$ 乗長の改良された疑似乱数雑音発生装置を提供することを目的とする。本発明は、演算速度を高速化することができる疑似乱数雑音発生装置を提供することを目的とする。本発明は、回路規模を縮小することができる疑似乱数雑音発生装置を提供することを目的とする。

#### 【0013】

【課題を解決するための手段】本発明は、所定長の疑似乱数雑音(PN)系列を表すビット信号がそのアドレスにランダムな順序で記録された大型メモリと、このメモリのアドレス入力に周期的なアドレス信号を与えるアドレス発生回路とを備え、実質的に疑似乱数雑音を発生させる疑似乱数雑音発生装置である。

【0014】ここで、本発明の特徴とするところは、前記アドレス入力にオフセット値を加算する手段を設けたところにある。

【0015】これにより、メモリから出力される疑似乱数雑音の周期性を乱すオフセット制御を簡単な構成により行うことができる。

【0016】前記メモリはそのアドレス入力が $N$ ビットのROMであることが望ましい。

【0017】前記オフセット値を加算する手段は、オフセット信号を入力とし $N$ ビットのオフセット値を一時蓄積するレジスタと、このレジスタ出力を前記周期的なアドレス信号に加算する加算回路とを含むことが望ましい。

【0018】前記アドレス発生回路は $N$ ビットのバイナリカウンタであることが望ましい。

#### 【0019】

【作用】オフセット値自身が疑似乱数雑音系列のオフセット内で要求される変化に直接影響を及ぼす。疑似乱数雑音発生装置は、オフセット値をもってプログラムされる。このことで、与えられたオフセット値に対するマスク値をCPUが計算する必要が取り除かれる。自走式 $N$ ビットバイナリカウンタの積算値とラッチされたオフセット値とによりアドレスされる2の $N$ 乗長の疑似乱数雑音系列を擁するROMルックアップテーブルを用いることにより、出力される疑似乱数雑音系列のオフセット調整は、ラッチされたオフセット値を所望値に直接変更することによりなされる。かくして、マスク計算は一切不要となる。

#### 【0020】

【実施例】本発明実施例の構成を図1を参照して説明する。図1は本発明実施例装置のブロック構成図である。

【0021】本発明は、所定長の疑似乱数雑音(PN)系列を表すビット信号がそのアドレスにランダムな順序で記録された大型メモリとしてのそのアドレス入力が $N$ ビットのROMルックアップテーブル4と、このROMルックアップテーブル4のアドレス入力に周期的なアドレス信号を与えるアドレス発生回路としての $N$ ビットバイナリカウンタ3とを備え、実質的に疑似乱数雑音を発生させる疑似乱数雑音発生装置であり、前記アドレス入力にオフセット値を加算する手段としてのオフセット信号を入力とし $N$ ビットのオフセット値を一時蓄積するレジスタ1と、このレジスタ1の出力を前記周期的なアドレス信号に加算する加算器2とを設けたことを特徴とする疑似乱数雑音発生装置である。

【0022】次に、本発明実施例の動作を説明する。本発明実施例装置への外部入力としては、 $N$ ビットバイナリカウンタ3をクロック動作させるシステムクロック信号50と、CPUのような外部装置から $N$ ビットオフセットバス20を介して入力される疑似乱数雑音系列のオフセット値をプログラムできるようにするオフセット信号とを含んでいる。 $N$ ビットオフセットバス20は $N$ ビット幅である。疑似乱数雑音発生装置の出力は、オフセットがプログラム可能な2の $N$ 乗長の疑似乱数雑音系列

である1ビットシフト出力信号である。図1では、オフセット信号は、レジスタ1のN個の入力に結合されている。レジスタ1のN個の出力は、加算器2のA入力に結合されている。入力システムクロック信号は、自走式のNビットバイナリカウンタ3のクロック入力に結合されている。Nビットバイナリカウンタ3のNビット出力は、加算器2のB入力に結合されている。加算器2のNビット出力（オーバーフロー出力は廃棄される）は、ROMルックアップテーブル4のアドレス入力に結合されている。ROMルックアップテーブル4のデータ出力はシフト出力信号である。

【0023】図1では、オフセット値は、CPUのような外部装置により決定され、オフセット零に対する2のN乗疑似乱数雑音系列のオフセットを変化させる目的でレジスタ1に書込まれる。レジスタ1の出力は、加算器2内でNビットバイナリカウンタ3の出力に加算され、加算器2の出力に信号を生成するが、この加算器2は、レジスタ1の出力の一定値に向け、システムクロック信号の各立ち上がりエッジによりカウンタ3がクロック動作する都度歩進する。例示した実施例では、ROMルックアップテーブル4はアドレス値が増加する順に格納された所望の2の幂乗長の疑似乱数雑音系列を含む2のN乗×1ビットのROMである。かくして、疑似乱数雑音系列の最初のビットはアドレス「0…000」に格納され、そして第二ビットがアドレス「0…001」に格納され、以下同様である。ROMアドレス入力がシステムクロック信号の各立ち上がりエッジで歩進すると、疑似乱数雑音系列の次のビットがROMデータ出力から出力され、それがシフト出力信号となる。

【0024】疑似乱数雑音系列の零オフセットは、レジスタ1に格納されたNビットオフセット値が全て零となったときに生成されるシフト出力信号であると考えることができる。オフセットの新値がそこでレジスタ1に書込まれると、その値はNビットバイナリカウンタ3の出力に加算され、その積算値がROMルックアップテーブル4のアドレス入力に送られ、かくしてアドレス入力値に飛び越しを生じさせ、かつシフト出力信号にオフセットすなわち位相シフトを招く。オフセット信号の値は、零オフセット疑似乱数雑音系列に対する疑似乱数雑音系列シフト出力信号に生じたオフセットとビットが等しい。続くXビットの正の位相シフトに対しては、旧値よりも大きい新オフセット値Xがレジスタ1に書込まれねばならない筈である。かくして、本発明実施例装置では、シフト出力信号内に位相シフトを引き起こす目的でオフセット値に基づくマスク値を計算する必要がなくなる。

【0025】ここで従来例技術を振り返ると、CPUのような外部装置によるオフセット値からのマスク値の計

算が要求される。QualcommのCDMA（IS95）システムでは、こうした更新はしばしば要求される。オフセット値からのマスク値計算は、頻繁なオフセット変化が要求される（IS95では事実そうである）ケースにとって、CPUによる多量の処理が要求され、こうした計算がCPUの処理動作全体にかなりの部分を占めることになる。かくして、マスクの計算は、CPUに対して負担を課すことになる。本発明によれば、2の幂乗長の疑似乱数雑音系列の出力に所望の位相シフトを実行する目的で、オフセット値からマスク値を計算する必要がない。その代わりに、本発明は、新オフセット値が内部レジスタに書き込まれたときに、出力中にそのまま位相シフトを取り込む。これにより、この問題は解決される。また、本発明によれば、マスク計算時間がもはや不要となるため、位相シフトの実行に遅延を生ずることはない。

#### 【0026】

【発明の効果】以上説明したように、本発明によれば、系列をシフトさせるためにマスクを用いずに直接所望のオフセット値を使用するプログラム可能なオフセットを伴った2の幂乗長の改良された疑似乱数雑音発生装置を実現することができる。これにより、演算時間の高速化、回路規模の縮小が図れる。

#### 【図面の簡単な説明】

【図1】本発明実施例装置のブロック構成図。

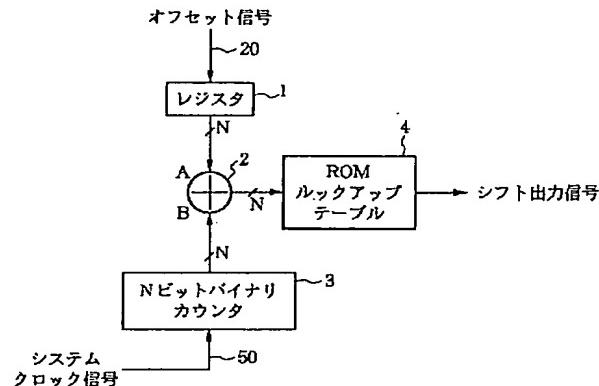
【図2】従来例装置のブロック構成図。

【図3】その他の従来例装置のブロック構成図。

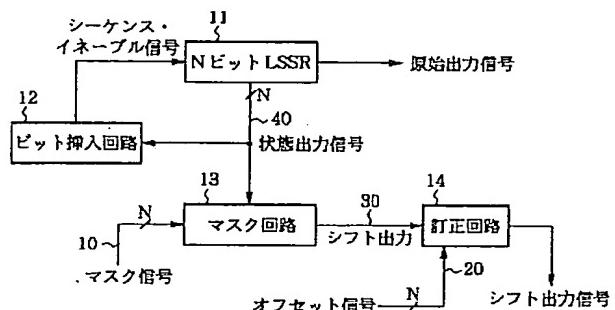
#### 【符号の説明】

- |    |               |
|----|---------------|
| 1  | レジスタ          |
| 2  | 加算器           |
| 3  | Nビットバイナリカウンタ  |
| 4  | ROMルックアップテーブル |
| 10 | Nビットマスクバス     |
| 11 | NビットLSSR      |
| 12 | ビット挿入回路       |
| 13 | マスク回路         |
| 14 | 訂正回路          |
| 20 | Nビットオフセットバス   |
| 30 | シフト出力         |
| 40 | 状態出力バス        |
| 50 | システムクロック信号    |
| 61 | データシフト回路      |
| 62 | アドレスラッチ回路     |
| 63 | メモリ           |
| 64 | パターン出力線       |
| 65 | アドレス          |
| 66 | データ           |
| 67 | データ設定線        |

【図 1】



【図 2】



【図 3】

